

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 7 5 1 7 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 2 7 5 1 7 6]

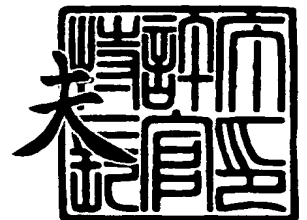
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 1 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 8 0 6 6

【書類名】 特許願
【整理番号】 KA003865
【提出日】 平成15年 7月16日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 G06F 13/16
G06F 15/78
【発明者】
【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
【氏名】 瀬角 和成
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100086807
【弁理士】
【氏名又は名称】 柿本 恭成
【手数料の表示】
【予納台帳番号】 007412
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001054

【書類名】 特許請求の範囲**【請求項 1】**

複数の外部装置が接続可能な外部端子群と、

プログラムに基づいて演算及び制御を行うプロセッサと、

前記プロセッサから出力される制御信号に基づいて前記複数の外部装置からアクセスの対象となる外部装置を特定し、該外部装置に対するアクセス時間を指示するアクセス時間データ及び該外部装置へのアクセスを要求する要求信号を出力するバスインタフェースと

、

前記バスインタフェースから出力される前記アクセス時間データを格納するレジスタと

、

外部から前記外部装置への前記アクセス時間を延長することを指定するウエイト信号が入力される入力端子と、

前記レジスタに格納された前記アクセス時間データと前記バスインタフェースから出力された前記要求信号とに応じて、前記外部端子群を介して前記外部装置にアクセスし、前記入力端子に入力された前記ウエイト信号に応じて前記外部装置に対する前記アクセス時間を延長する外部バスコントローラとを、

有することを特徴とするシステム L S I。

【請求項 2】

前記外部バスコントローラは、前記アクセス時間データが指示する前記アクセス時間単位で前記外部装置へのアクセス時間を延長することを特徴とする請求項 1 記載のシステム L S I。

【請求項 3】

前記外部バスコントローラは、前記ウエイト信号に応じて、前記アクセス時間データが指示する前記アクセス時間に、更に 1 つ若しくは複数の前記アクセス時間を追加することにより、前記外部装置へのアクセス時間を延長することを特徴とする請求項 2 記載のシステム L S I。

【請求項 4】

前記外部バスコントローラは、前記外部装置に該外部装置のアドレスを出力する時間を延長することにより前記アクセス時間を延長することを特徴とする請求項 1～3 のいずれか 1 項に記載のシステム L S I。

【請求項 5】

前記外部バスコントローラは、前記外部装置に該外部装置を選択することを指示する選択信号を出力する時間を延長することにより前記アクセス時間を延長することを特徴とする請求項 1～4 のいずれか 1 項に記載のシステム L S I。

【請求項 6】

プログラムを順次読取って演算及び制御を行うプロセッサと、前記プロセッサから出力される制御信号に基づいてアクセスの対象となる外部装置を特定するバスインタフェースと、前記外部装置に対するアクセス遅延時間を設定するアクセス制御レジスタと、前記アクセス遅延時間に従って前記バスインタフェースと前記外部装置との間でデータの読み書きを行う外部バスコントローラとを備えたシステム L S I において、

前記プロセッサから出力される制御信号に基づいて、前記外部装置に対するアクセス時間の延長を指定するウエイト信号を生成するウエイト信号生成部を設けると共に、前記外部バスコントローラは、前記ウエイト信号に従って前記外部装置に対するアクセス時間を延長するように構成したことを特徴とするシステム L S I。

【請求項 7】

プログラムを順次読取って演算及び制御を行うプロセッサと、前記プロセッサから出力される制御信号に基づいてアクセスの対象となる外部装置またはウエイト信号を出力する外部装置を特定するバスインタフェースと、前記外部装置に対するアクセス遅延時間を設定するアクセス制御レジスタと、前記アクセス遅延時間または前記ウエイト信号に従って前記バスインタフェースと前記外部装置の間でデータの読み書きを行う外部バスコントローラ

ラとを備えたシステム L S I において、

前記プロセッサから出力される制御信号に基づいてリマップ信号を生成するリマップ信号生成部を設けると共に、前記バスインタフェースは、前記リマップ信号が与えられたときに前記制御信号が前記外部装置を特定するように構成したことを特徴とするシステム L S I。

【請求項 8】

前記外部バスコントローラは、前記ウエイト信号に応じたアクセス時間に、更に 1 つ若しくは複数のアクセス時間を追加することにより、前記外部装置へのアクセス時間を延長することを特徴とする請求項 6 または 7 記載のシステム L S I。

【請求項 9】

前記外部バスコントローラは、前記外部装置に該外部装置のアドレスを出力する時間を延長することにより、アクセス時間を延長することを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載のシステム L S I。

【請求項 1 0】

前記外部バスコントローラは、前記外部装置に該外部装置を選択することを指示する選択信号を出力する時間を延長することにより、アクセス時間を延長することを特徴とする請求項 6 ～ 9 のいずれか 1 項に記載のシステム L S I。

【書類名】 明細書**【発明の名称】 システム L S I****【技術分野】****【0001】**

本発明は、CPU（中央処理装置）と各種のコントローラを1つのLSI（大規模集積回路）としてまとめ、外部メモリを接続することによってマイクロコンピュータを構成することができるシステムLSIに関するものである。

【背景技術】**【0002】**

図2は、従来のシステムLSI（マイクロコントローラとも呼ばれる）の概略を示す構成図である。

【0003】

このシステムLSI 10は、ROM（読取り専用メモリ）1やRAM（随時読み書き可能なメモリ）2、或いは入出力装置（IO）3等の外部装置にアクセスし、このROM 1に格納されたプログラムに基づいて全体の演算及び制御を行うCPU 11を有している。CPU 11は、バスインタフェース（以下、「バスI/F」という）12を介して、アクセス制御レジスタ13と外部バスコントローラ14に接続されている。

【0004】

バスI/F 12は、CPU 11がアクセス制御レジスタ13に対して書込みや読出しを行う際の仲介をするものである。CPU 11からバスI/F 12には、各種の動作を制御するための制御信号CONが与えられ、バスI/F 12からCPU 11には、準備が完了しているか否かを示すレディ信号RDYと、読出しデータRDTが与えられるようになっている。

【0005】

アクセス制御レジスタ13は、CPU 11からバスI/F 12を介して書込みデータWDTとして与えられたデータを保持すると共に、この保持したデータをアクセスサイクル値CYCとして、外部バスコントローラ14に渡す機能を有している。

【0006】

更に、バスI/F 12は、CPU 11から与えられる制御信号CONに基づいて、どの外部装置（即ち、ROM 1、RAM 2、または入出力装置3）にアクセスしたいかという情報を、リクエスト信号ROMRQ、RAMRQ、IORQとして外部バスコントローラ14に与える機能を担うデコーダ12aを有している。

【0007】

外部バスコントローラ14は、バスI/F 12からリクエスト信号が与えられた時に、そのリクエスト信号で要求された外部装置に対して、アクセス制御レジスタ13から渡されたアクセスサイクル値CYCに応じたアクセスサイクルで、読出しまたは書込みのアクセス動作を行うものである。

【0008】

外部バスコントローラ14からROM 1、RAM 2及び入出力装置3に対する選択信号CS1、CS2、CS3は、それぞれ外部端子15a、15b、15cに出力されるようになっている。また、選択したROM 1等における読み書き対象領域を指定する外部アドレス信号EXADと読出し要求を行うための外部バスリード信号EXRDが、それぞれ外部端子16、17へ出力されるようになっている。一方、選択された外部メモリから読出されて出力された外部データEXDTは、外部端子18を介して外部バスコントローラ14に与えられるようになっている。

【0009】

更に、この外部バスコントローラ14は、入出力装置3のような低速の外部装置から出力された外部データEXDTを誤りなく入力するために、この入出力装置3から出力されるウェイト信号XWAITが、外部端子19を介して与えられるようになっている。このシステムLSI 10は、外部からクロック端子20に与えられるクロック信号CLKに同

期して、動作するようになっている。

【0010】

このようなシステムLSI10では、予め処理制御用のプログラムが格納されたROM1、所定の記憶容量を有するRAM2、及び必要な入出力装置3を、外部端子15～19に接続し、クロック端子20に外部から所定周波数のクロック信号CLKを与えることにより、動作が開始される。

【0011】

動作開始直後は、アクセス制御レジスタ13に初期値として最大のアクセスサイクル値CYCが保持されている。これにより、その後、外部バスコントローラ14が、ROM1やRAM2の外部メモリから初期プログラムを読み出す時には、このアクセスサイクル値CYCに基づいてアクセスが行われる。即ち、読出し要求を行った後、アクセスサイクル値CYCに応じたクロック数が経過した時点で、外部データEXDTの読取りを行うことにより、誤りのない初期化プログラムの読み出しが可能になる。

【0012】

【特許文献1】特開2001-176686号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、システムLSIでは、次のような課題があった。

例えば、このシステムLSI10の外部端子15～19とクロック端子20に試験装置を接続し、通常動作時よりも高速なクロック信号CLKで動作させる場合、アクセス制御レジスタ13のアクセスサイクル値CYCを最大値に設定しても、外部端子15～19の駆動回路の影響で外部データEXDTがクロック信号CLKに追いつかず、正しいデータが読み込めずに高速試験を行うことができない場合があった。

【課題を解決するための手段】

【0014】

本発明の請求項1は、システムLSIを、複数の外部装置が接続可能な外部端子群と、プログラムに基づいて演算及び制御を行うプロセッサと、前記プロセッサから出力される制御信号に基づいて前記複数の外部装置からアクセスの対象となる外部装置を特定し、該外部装置に対するアクセス時間を指示するアクセス時間データ及び該外部装置へのアクセスを要求する要求信号を出力するバスインタフェースと、前記バスインタフェースから出力される前記アクセス時間データを格納するレジスタと、外部から前記外部装置への前記アクセス時間を延長することを指定するウエイト信号が入力される入力端子と、前記レジスタに格納された前記アクセス時間データと前記バスインタフェースから出力された前記要求信号とに応じて、前記外部端子群を介して前記外部装置にアクセスし、前記入力端子に入力された前記ウエイト信号に応じて前記外部装置に対する前記アクセス時間を延長する外部バスコントローラとで構成することを特徴としている。

【0015】

また、請求項6は、プログラムを順次読取って演算及び制御を行うプロセッサと、前記プロセッサから出力される制御信号に基づいてアクセスの対象となる外部装置を特定するバスインタフェースと、前記外部装置に対するアクセス遅延時間を設定するアクセス制御レジスタと、前記アクセス遅延時間に従って前記バスインタフェースと前記外部装置との間でデータの読み書きを行う外部バスコントローラとを備えたシステムLSIにおいて、前記プロセッサから出力される制御信号に基づいて、前記外部装置に対するアクセス時間の延長を指定するウエイト信号を生成するウエイト信号生成部を設けると共に、前記外部バスコントローラは、前記ウエイト信号に従って前記外部装置に対するアクセス時間を延長するように構成したことを特徴としている。

【0016】

更に、請求項7は、プログラムを順次読取って演算及び制御を行うプロセッサと、前記プロセッサから出力される制御信号に基づいてアクセスの対象となる外部装置またはウエ

イト信号を出力する外部装置を特定するバスインタフェースと、前記外部装置に対するアクセス遅延時間を設定するアクセス制御レジスタと、前記アクセス遅延時間または前記ウェイト信号に従って前記バスインタフェースと前記外部装置の間でデータの読み書きを行う外部バスコントローラとを備えたシステムLSIにおいて、前記プロセッサから出力される制御信号に基づいてリマップ信号を生成するリマップ信号生成部を設けると共に、前記バスインタフェースは、前記リマップ信号が与えられたときに前記制御信号が前記外部装置を特定するように構成したことを特徴としている。

【発明の効果】

【0017】

請求項1の発明によれば、外部からウェイト信号を入力するための入力端子を設け、ウェイト信号が与えられたときに、外部バスコントローラは、そのウェイト信号に従って外部装置に対するアクセス時間を延長するように構成している。これにより、通常動作時よりも高速なクロック信号で動作させる高速試験の場合でも、外部装置から正しいデータを読み込むことが可能になる。

【0018】

請求項6の発明によれば、プロセッサから出力される制御信号に基づいて、外部装置に対するアクセス時間の延長を指定するウェイト信号を生成するウェイト信号生成部を設けている。これにより、外部バスコントローラから外部装置にアクセス時間を延長することが可能になり、請求項1の発明と同様の効果がある。

【0019】

請求項7の発明によれば、プロセッサから出力される制御信号に基づいてリマップ信号を生成するリマップ信号生成部を設けている。これにより、バスインタフェースは、リマップ信号が与えられたときに外部装置を特定することにより、外部装置に備えられているウェイト信号に基づいてアクセス時間を延長することが可能になる。従って、請求項1の発明と同様の効果がある。

【発明を実施するための最良の形態】

【0020】

システムLSIに接続される外部装置に対するアクセス時間の延長を指定するウェイト信号を入力するための入力端子を設けると共に、ステートマシンで構成される外部バスコントローラに、このウェイト信号に従って外部装置に対するアドレス信号や選択信号の出力時間を延長することによってアクセス時間を延長するための機能を設ける。

【実施例1】

【0021】

図1は、本発明の実施例1を示すシステムLSIの構成図であり、図2中の要素と共通の要素には共通の符号が付されている。

【0022】

このシステムLSI10Aは、外部のROM1やRAM2、或いは入出力装置3等の外部装置にアクセスすることができ、このROM1に格納されたプログラムに基づいて演算及び制御を行うCPU11を有している。CPU11は、バスI/F12を介して、アクセス制御レジスタ13と外部バスコントローラ14Aに接続されている。

【0023】

バスI/F12は、CPU11がアクセス制御レジスタ13に対して書込みや読出しを行う際の仲介をするものである。CPU11からバスI/F12には、各種の動作を制御するための制御信号CONが与えられ、バスI/F12からCPU11には、準備が完了しているか否かを示すレディ信号RDYと、読出しデータRDTが与えられるようになっている。

【0024】

アクセス制御レジスタ13は、CPU11からバスI/F12を介して書込みデータWDTとして与えられた、外部装置に対するアクセス時間を指示するアクセス時間データを保持すると共に、この保持したアクセス時間データをアクセスサイクル値CYCとして、

外部バスコントローラ 14 A に渡す機能を有している。

【0025】

更に、バス I/F 12 は、CPU 11 から与えられる制御信号 CON に基づいて、どの外部装置（即ち、ROM 1、RAM 2、または入出力装置 3）にアクセスしたいかという情報を、リクエスト信号 ROMRQ、RAMRQ、IORQ として外部バスコントローラ 14 A に与える機能を担うデコーダ 12 a を有している。

【0026】

外部バスコントローラ 14 A は、ステートマシンで構成され、バス I/F 12 からリクエスト信号が与えられた時に、そのリクエスト信号で要求された外部装置に対して、アクセス制御レジスタ 13 から渡されたアクセスサイクル値 CYC に応じたアクセスサイクルで、読出しまたは書込みのアクセス動作を行うものである。

【0027】

更に、この外部バスコントローラ 14 A には、入力端子 21 を介して、外部装置へのアクセス時間を延長することを指示するウエイト信号 MWAIT が与えられるようになっている。外部バスコントローラ 14 A は、外部データ EXDT を読込む時に、ウエイト信号 MWAIT を外部バスリード信号がデアサートされる 1 サイクルまでアサートすると、アクセス制御レジスタ 13 に設定されているアクセス時間データが指示するアクセスサイクル値 CYC だけ、アクセス時間を延長するようになっている。

【0028】

また、アクセスサイクル値 CYC で指示されるアクセス時間に、更に 1 つ若しくは複数のアクセス時間を追加してアクセス時間を延長することができるようになっている。なお、アクセス時間の延長は、外部アドレス信号 EXAD 及び選択信号 CS1～CS3 を出力する時間を延長することによって行われるようになっている。

【0029】

図 3 は、図 1 のシステム LSI 10 A の高速試験時における構成図である。

高速試験時には、試験対象のシステム LSI 10 A の外部端子 15～19 は、外部装置に代えて試験装置 50 に接続される。また、クロック端子 20 には試験装置 50 から高速のクロック信号 CLK が与えられ、更に、入力端子 21 にはこの試験装置 50 からウエイト信号 MWAIT が与えられるようになっている。試験装置 50 は、クロック発生部 51、アドレス生成部 52、テストパターン格納メモリ 53、及び一致検出部 54 を有している。クロック発生部 51 は、試験用の高速のクロック信号 CLK を発生するもので、このクロック信号 CLK がアドレス生成部 52 とシステム LSI のクロック端子 20 に与えられるようになっている。アドレス生成部 52 は、クロック信号 CLK をカウントすることによって、テストパターン格納メモリ 53 に対するアドレス信号 AD R を生成するものである。

【0030】

テストパターン格納メモリ 53 は、正常動作時におけるシステム LSI 10 A の外部端子 15～19 及び入力端子 21 の信号パターンを、予めシミュレーションによって 1 クロック毎にテストパターンとして求めておき、それを格納したものである。テストパターン格納メモリ 53 から読出されるテストパターンのうち、外部データ EXDT とウエイト信号 XWAIT、MWAIT は、システム LSI 10 A の外部端子 18、19 及び入力端子 21 へそれぞれ与えられ、選択信号 CS1～CS3 と外部アドレス信号 EXAD は、一致検出部 54 へ与えられている。

【0031】

一致検出部 54 は、システム LSI 10 A の外部端子 15 a～15 c、16 から出力される選択信号 CS1～CS3 及び外部アドレス信号 EXAD と、テストパターン格納メモリ 53 から与えられる選択信号 CS1～CS3 と外部アドレス信号 EXAD が一致しているか否かを検出するものである。

【0032】

試験対象のシステム LSI 10 A の外部端子 21 にウエイト信号 MWAIT を所定の時

間与えるようなテストパターンを予め作成しておき、このような試験装置 50 を用いて、このシステム L S I 10 A を試験する。

【0033】

図 4 は、図 1 の動作を示す信号波形図である。以下、この図 4 を参照しつつ図 1 の高速試験時の動作を説明する。

【0034】

図 4 の時刻 t 1 におけるクロック C L K の立上がりで、C P U 11 から読出し要求の制御信号 C O N が出力される。

【0035】

時刻 t 2 における次のクロック信号 C L K の立上がりで、バス I / F 12 から出力されていたレディ信号 R D Y が “H” から “L” に変化する。バス I / F 12 において、C P U 11 からの読出し要求が解析され、例えば R O M 1 に対するリクエスト信号 R O M R Q が外部バスコントローラ 14 A へ出力される。

【0036】

時刻 t 3 におけるクロック C L K の立上がりで、外部バスコントローラ 14 A から選択信号 C S 1 と外部アドレス信号 E X A D が出力される。

【0037】

時刻 t 4 におけるクロック C L K の立上がりで、外部バスリード信号 E X R D が “L” から “H” に変化する。

【0038】

時刻 t 5 におけるクロック C L K の立上がり、即ち、外部バスリード信号 E X R D がデアサートされる 1 サイクル前に、試験装置 50 から出力されるウェイト信号 M W A I T がアサートされて “H” となる。

【0039】

時刻 t 6 における次のクロック C L K の立上がりで、ウェイト信号 M W A I T が “L” に戻ると共に、外部バスデータ E X D T が “H” となる。

【0040】

時刻 t 7 における次のクロック C L K の立上がり以降、外部バスリード信号 E X R D の設定長だけアクセス時間が延長され、選択信号 C S 1、外部バスアドレス E X A D 及び外部バスリード信号 E X R D が、継続して出力される。

【0041】

時刻 t 8 におけるクロック信号 C L K の立上がりで、レディ信号 R D Y が “L” から “H” に変化すると共に、読出しデータ R D T が出力される。これによって、試験装置 50 から出力された外部バスデータ E X D T が C P U 11 によって読取られる。

【0042】

時刻 t 9 におけるクロック信号 C L K の立上がりで、レディ信号 R D Y 及び選択信号 C S 1 は “L” となり、読取り動作は終了する。

【0043】

以上のように、この実施例 1 のシステム L S I は、ウェイト信号 M W A I T を外部から与えるための入力端子 21 と、このウェイト信号 M W A I T が与えられたときに、読出しのアクセスタイムを随意に延長することができる外部バスコントローラ 14 A を有している。これにより、外部端子の駆動能力の影響を受けることなく、高速試験をすることができるという利点がある。

【実施例 2】

【0044】

図 5 は、本発明の実施例 2 を示すシステム L S I の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【0045】

このシステム L S I 10 B は、図 1 中の入力端子 21 を削除し、これに代わって内部でウェイト信号 M W A I T を生成するレジスタ 22 を設けている。レジスタ 22 は、C P U

11からバスI/F12を介してアクセス制御レジスタ13に出力された書込みデータWDTを設定値として保持すると共に、ROM1に対する選択信号CS1がアサートされた時に、その設定値に応じたサイクル数の期間、ウエイト信号MWAITを出力するものである。このウエイト信号MWAITは、外部バスコントローラ14Aに与えられるようになっている。その他の構成は、図1と同様である。

【0046】

図6は、図5の動作を示す信号波形図である。

動作は、図1のシステムLS10Aとはほぼ同様である。時刻t11でROM1に対する選択信号CS1が“L”から“H”になると、クロック信号CLKの次の立上がりである時刻t12に、レジスタ22から出力されるウエイト信号MWAITが“L”から“H”になる。そして、このウエイト信号MWAITは、アクセス制御レジスタ13に設定された設定値に応じた期間だけ“H”となり、この期間が経過する時刻t13で、“L”に戻る。

【0047】

このように、システムLS10Bでは、レジスタ22に所定の値を書込み、外部バスコントローラ14Aに対するウエイト信号MWAITをアサートすることにより、アクセスタイムが延長される。

【0048】

以上のように、この実施例2のシステムLSIは、内部の制御信号CONからウエイト信号MWAITを生成するレジスタ22と、このウエイト信号MWAITが与えられたときに、読出しのアクセスタイムを随意に延長することができる外部バスコントローラ14Aを有している。これにより、試験用の外部端子を設けることなく、実施例1と同様の利点が得られる。

【実施例3】

【0049】

図7は、本発明の実施例3を示すシステムLSIの構成図であり、図2中の要素と共通の要素には共通の符号が付されている。

【0050】

このシステムLSI10Cは、図2中のバスI/F12に代えて、機能の異なるバスI/F12Aを設けると共に、このバスI/F12Aに対するリマップ信号RMAPを生成するためのレジスタ23を設けている。

【0051】

レジスタ23は、CPU11からバスI/F12Aを介してアクセス制御レジスタ13に出力された書込みデータWDTを設定値として保持すると共に、この保持した値をリマップ信号RMAPとして出力するものである。このリマップ信号RMAPは、バスI/F12Aに与えられるようになっている。

【0052】

バスI/F12Aは、図2中のバスI/F12と同様に、CPU11がアクセス制御レジスタ13に対して書込みや読出しを行う際の仲介をするものである。即ち、CPU11からバスI/F12Aには、各種の動作を制御するための制御信号CONが与えられ、バスI/F12AからCPU11には、準備が完了しているか否かを示すレディ信号RDYと、読出しデータRDTが与えられるようになっている。

【0053】

更に、このバスI/F12Aは、CPU11から与えられる制御信号CONと、レジスタ23から与えられるリマップ信号RMAPに基づいて、どの外部装置にアクセスしたいかという情報を、リクエスト信号ROMRQ, RAMRQ, IORQとして外部バスコントローラ14に与える機能を担うデコーダ12bを有している。

【0054】

図8は、図7中のバスI/F12Aにおけるデコーダ12bの内容を示す図である。この図8に示すように、デコーダ12bでは、デコードの対象となる信号として、制御信号

CONの他にリマップ信号RMAPが加えられている。

【0055】

即ち、このデコーダ12bでは、このシステムLSI10Cのリセット解除後にCPU11が読み込むプログラムが格納されている第1バンク（この場合では、ROM1）と、このシステムLSI10Cに接続された任意の装置のアクセス時に使用される第2バンク（この場合では、入出力装置3）とを、リマップ信号RMAPによって選択することができるようになっている。

【0056】

このようなシステムLSI10Cでは、レジスタ23からリマップ信号RMAPが出力されると、このリマップ信号RMAPによってバスI/F12Aのデコーダ12bで入出力装置3が、実行用のプログラムの格納されたバンクとしてマッピングされる。入出力装置3は、アクセスタイムを随意に延長するためのウエイト信号XWAITを出力する機能を有しているので、このウエイト信号XWAITに基づいて、外部バスコントローラ14において、読出しのアクセスタイムが延長される。

【0057】

以上のように、この実施例3のシステムLSIは、制御信号CONに基づいてリマップ信号RMAPを出力するレジスタ23と、このリマップ信号RMAPが与えられたときに、ROM1に代えて入出力装置3をプログラムの格納されたバンクとしてマッピングするデコーダ12bを備えたバスI/F12Aを有している。これにより、入出力装置3が本来備えているウエイト信号XWAITを用いることにより、読出しのアクセスタイムを任意に延長することができる。従って、従来と同様の外部バスコントローラ14を使用することができるので、ステートマシン（外部バスコントローラ14）の開発工数を削減できるという利点がある。

【産業上の利用可能性】

【0058】

なお、本発明は、上記実施例に限定されず、種々の変形が可能である。例えば、システムLSI10A～10Cの構成は一例であり、タイマーやアナログ・デジタル変換器等の回路を内蔵するものにも同様に適用可能である。

【図面の簡単な説明】

【0059】

【図1】 本発明の実施例1を示すシステムLSIの構成図である。

【図2】 従来のシステムLSIの概略を示す構成図である。

【図3】 図1のシステムLSI10Aの高速試験時における構成図である。

【図4】 図1の動作を示す信号波形図である。

【図5】 本発明の実施例2を示すシステムLSIの構成図である。

【図6】 図5の動作を示す信号波形図である。

【図7】 本発明の実施例3を示すシステムLSIの構成図である。

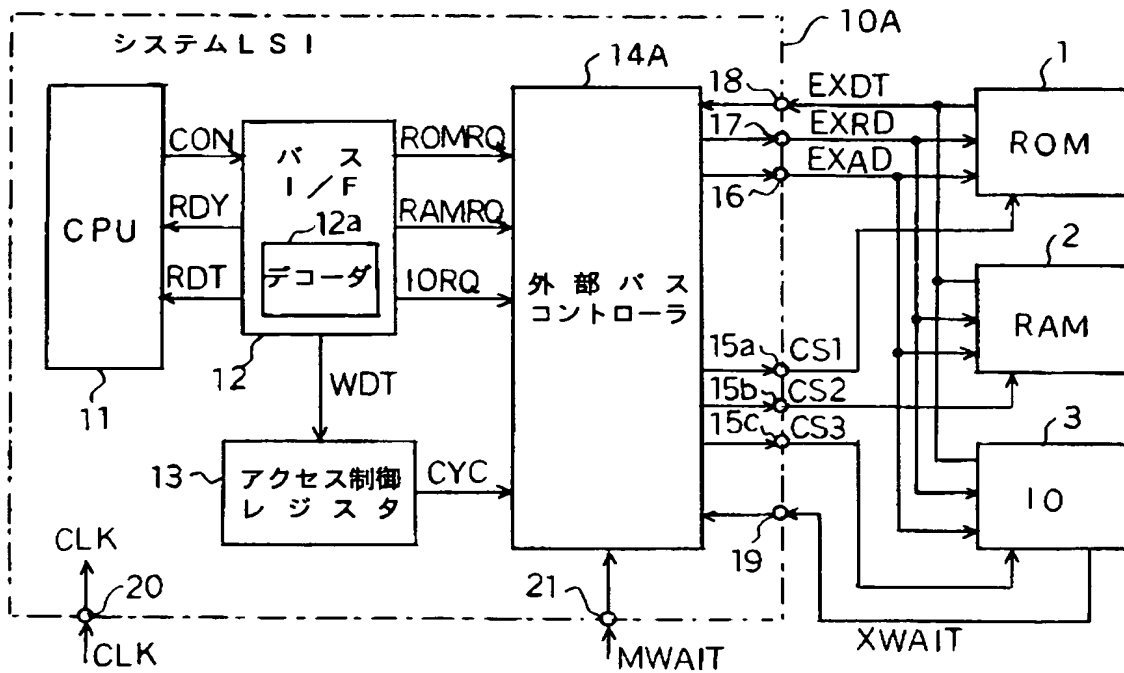
【図8】 図7中のバスI/F12Aにおけるデコーダ12bの内容を示す図である。

【符号の説明】

【0060】

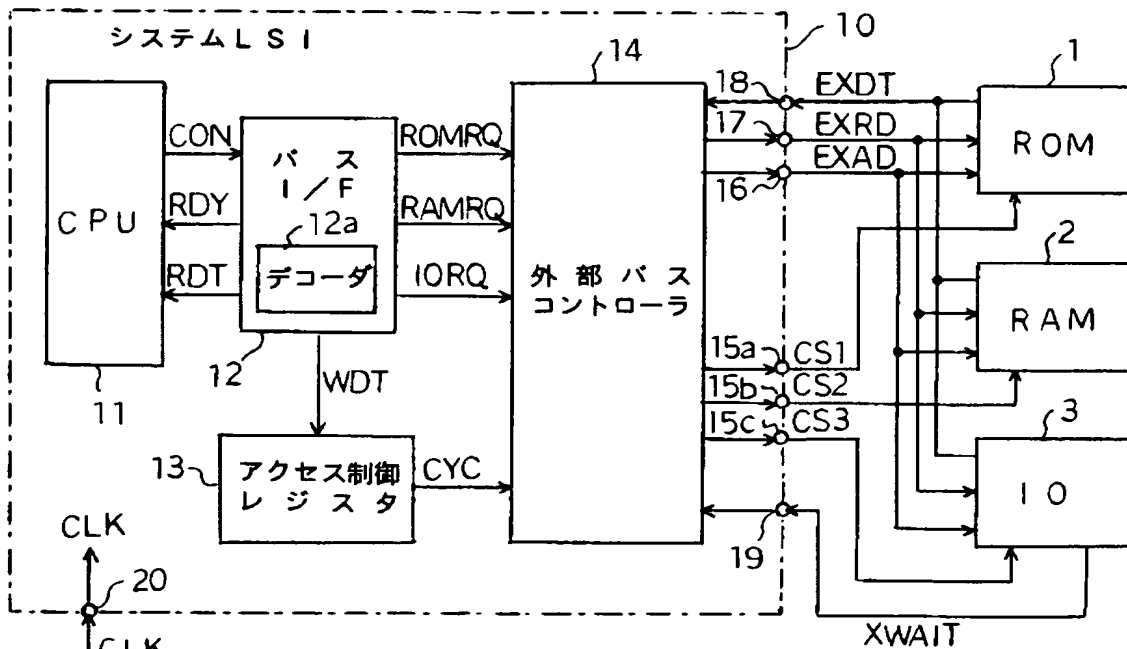
10A～10C システムLSI
11 CPU
12, 12A バスI/F
13 アクセス制御レジスタ
14, 14A 外部バスコントローラ
15a～15c, 16～19 外部端子
21 入力端子
22, 23 レジスタ

【書類名】 図面
【図 1】



本発明の実施例 1 のシステム L S I

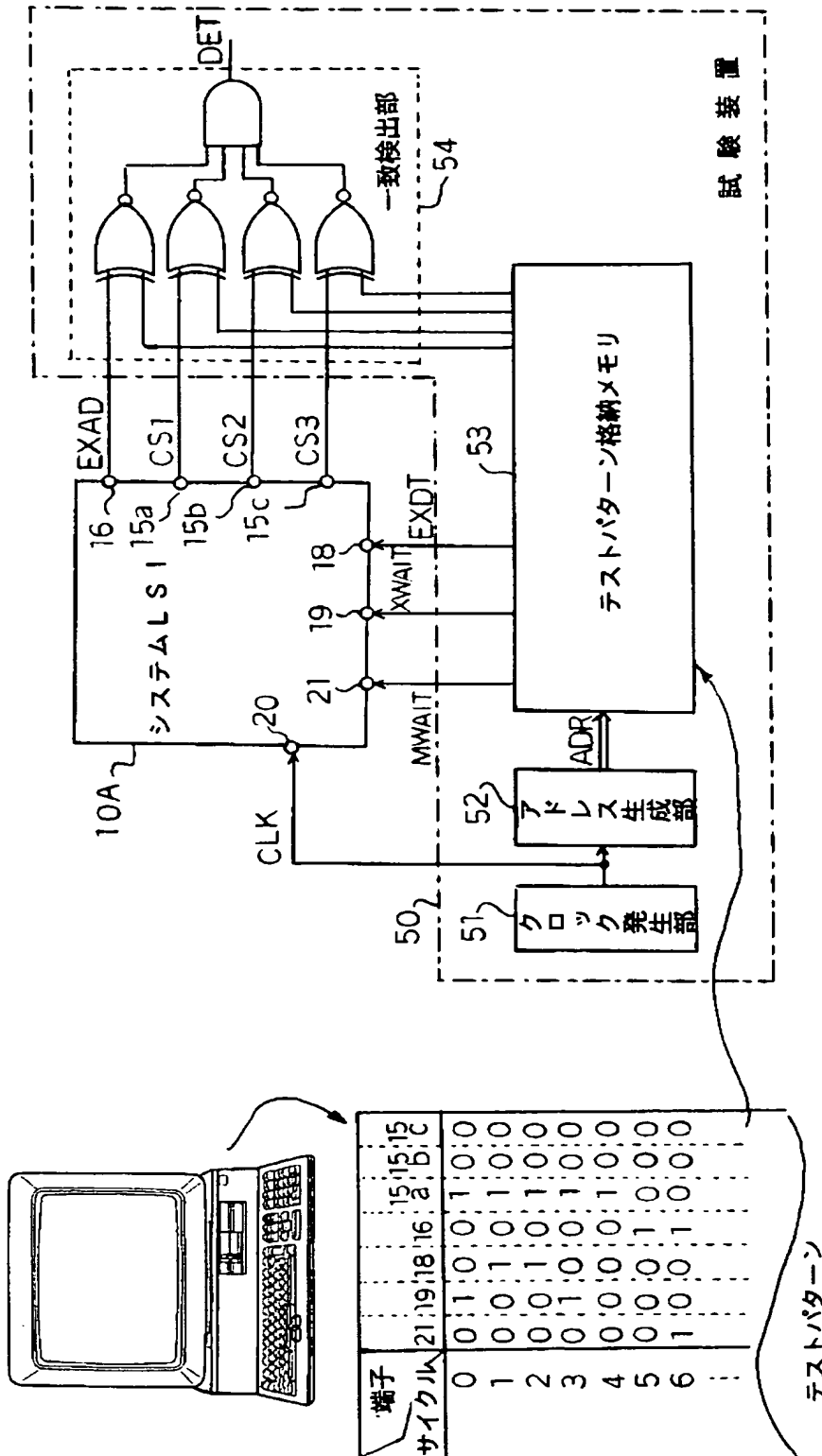
【図 2】



従来のシステム L S I

BEST AVAILABLE COPY

【図 3】



システムLSIの高速試験時の構成

BEST AVAILABLE COPY

【図 4】

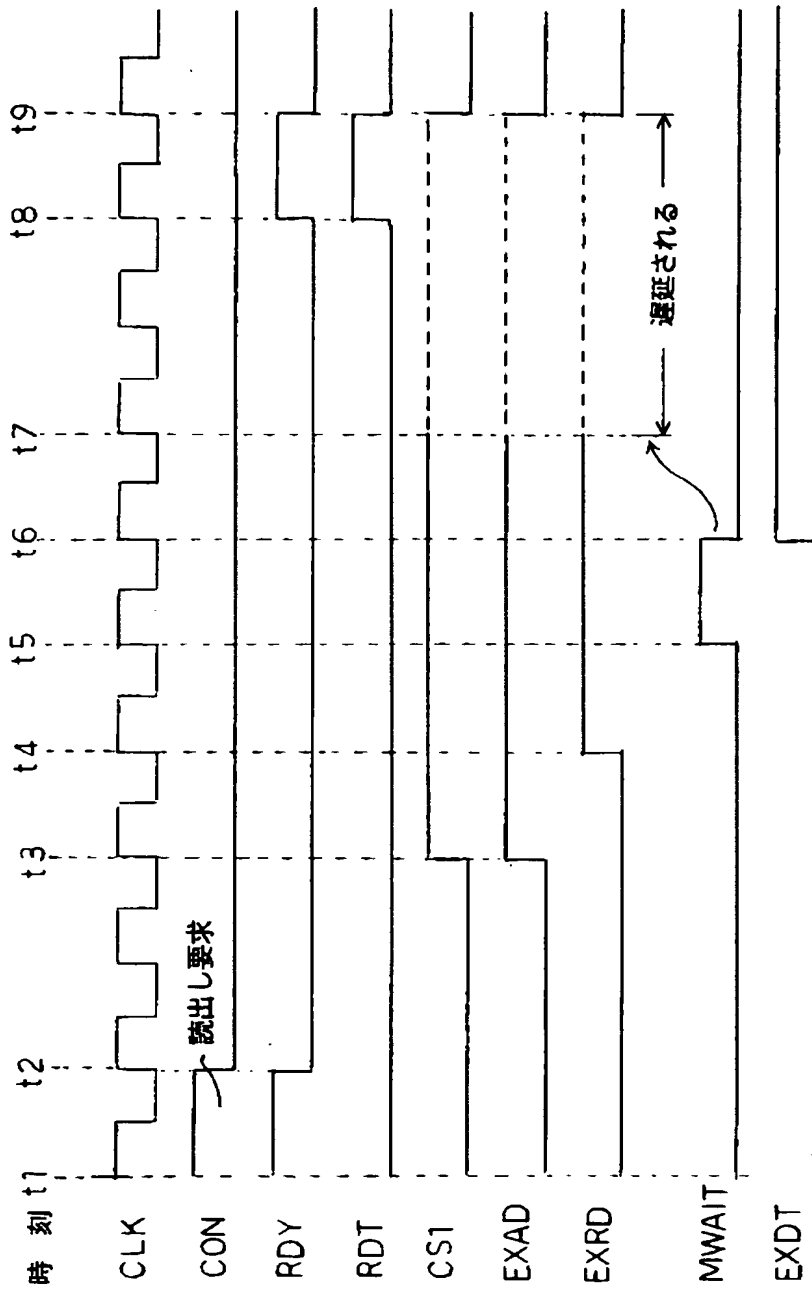
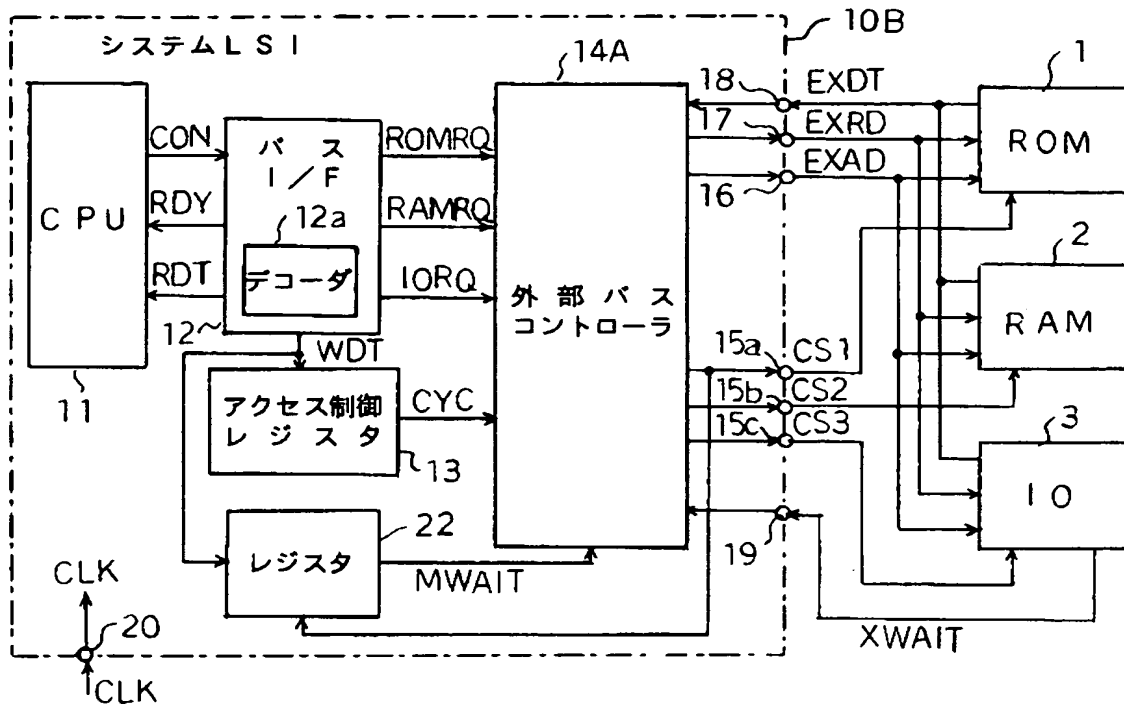


図 1 の信号波形

BEST AVAILABLE COPY

【図 5】



本発明の実施例 2 のシステム L S I

BEST AVAILABLE COPY

【図 6】

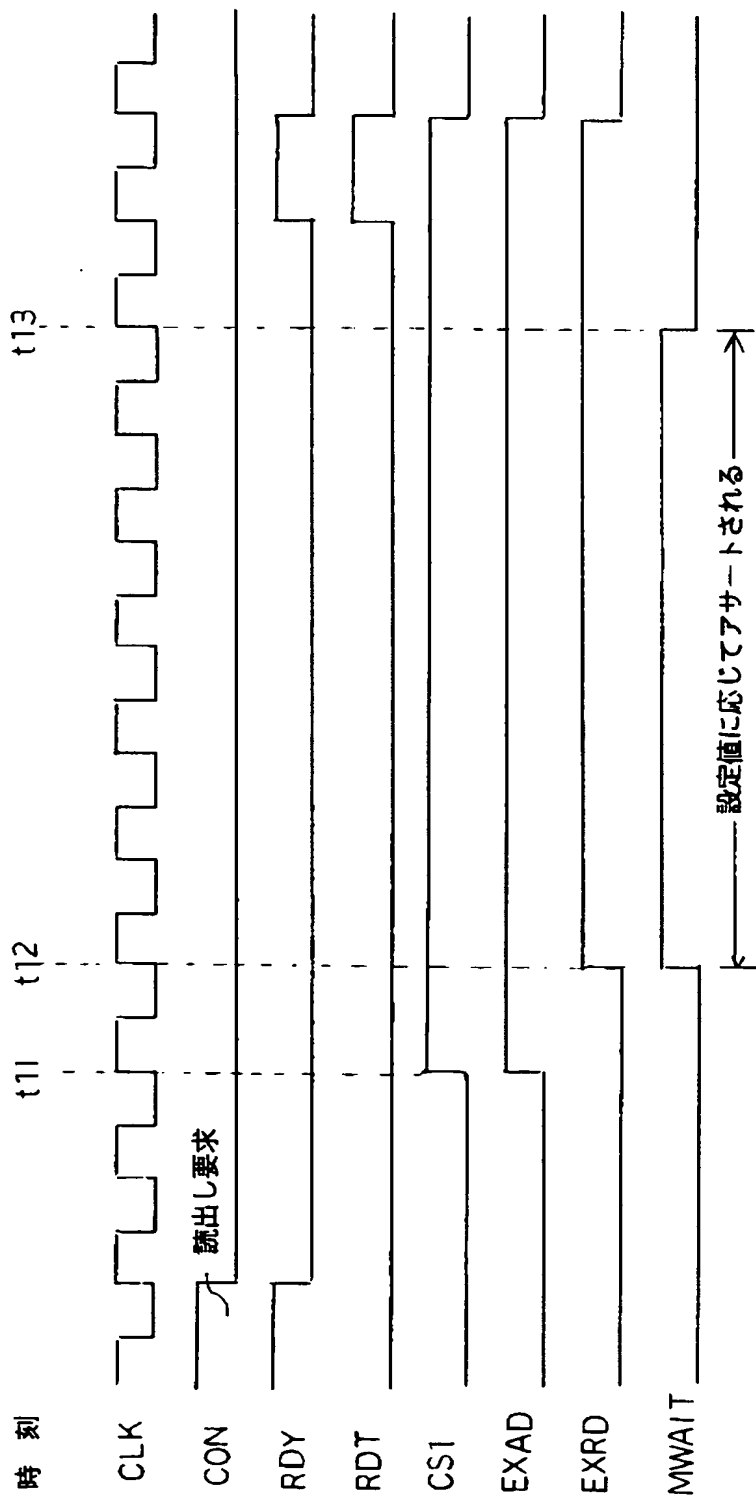
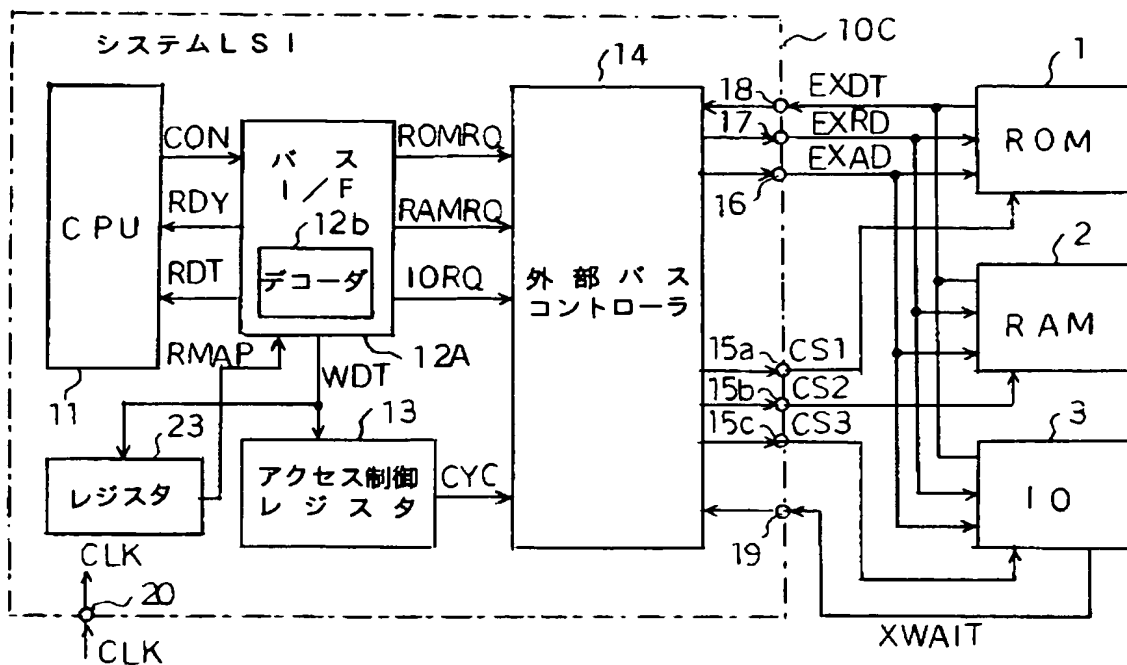


図 5 の 信 号 波 形

BEST AVAILABLE COPY

【図 7】



本発明の実施例 3 のシステム L S I

【図 8】

CON	RMAP	ROMRQ	RAMRQ	IORQ
ROMアドレス	—	1	0	0
RAMアドレス	—	0	1	0
IOアドレス	—	0	0	1
0バンク	0	1	0	0
0バンク	1	0	0	1

図 7 中のバス I / F 1 2 A のデコーダ

BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 通常動作時よりも高速なクロック信号で高速試験を行う時に、外部装置のデータを正しく読み込むことができる機能を備えたシステム L S I を提供する。

【解決手段】 高速試験を行うときに接続する試験装置から、ウエイト信号 M W A I T を入力するための外部端子 2 1 を設ける。更に、外部バスコントローラ 1 4 A は、ウエイト信号 M W A I T が与えられたときには、このウエイト信号 M W A I T が与えられている期間中、R O M 1 に対するアクセス時間を延長するように構成する。

【選択図】 図 1

特願 2003-275176

出願人履歴情報

識別番号

[000000295]

1. 変更年月日
[変更理由]

1990年 8月22日
新規登録

住 所
氏 名

東京都港区虎ノ門1丁目7番12号
沖電気工業株式会社